

¹CONCEPTION DES CIRCUITS INTEGRES MONOLITHIQUES

L'avènement des circuits intégrés monolithiques, circuits dont tous les éléments sont réalisés simultanément sur la même pastille de silicium, a profondément modifié les méthodes de conception et de réalisation des ensembles électroniques en ouvrant des perspectives nouvelles dans le domaine de la performance, de la miniaturisation, de la fiabilité et du prix de revient.

Les concepteurs chargés de la création des circuits sont amenés à raisonner directement "en circuits intégrés" plutôt qu'en circuits destinés à une réalisation en éléments "discrets". En effet, il n'est pas possible de tout intégrer et cette intégration conduit à certaines limitations sur les caractéristiques des composants élémentaires. D'un autre côté, l'intégration monolithique permet de concevoir certains montages qu'il serait impossible de réaliser en version discrète.

1) ELABORATION D'UN SUBSTRAT DE SILICIUM

1.1) Préparation du silicium - obtention de la plaquette « substrat »

Le silicium est un élément ayant un aspect métallique gris clair. Il se trouve en abondance dans la nature sous forme de silice (sable) et de divers mélanges.

Les deux principaux problèmes à résoudre pour la préparation du silicium en vue de la fabrication de circuits intégrés (ou de composants discrets) sont :

- Taux de pureté très élevé
- Obtention du *silicium monocristal* c'est-à-dire se présentant sous la forme d'un cristal homogène à orientation moléculaire parfaitement définie.

La purification du silicium se fait en plusieurs étapes. On réduit d'abord la silice par chauffage avec du carbone (coke) dans un four électrique, le degré de pureté atteint est de 98%. Le silicium ainsi obtenu est ensuite transformé en un corps composé, le tétrachlorure de silicium qui sera purifié et réduit de manière à obtenir du *silicium polycristallin* très pur ayant un taux d'impuretés d'environ 10^{-10} .

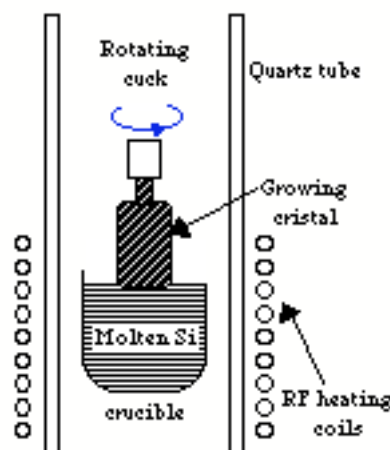


Figure 1

Il reste à mettre le silicium polycristallin sous forme de *monocristal* en utilisant la technique du "tirage" (figure 1). Le silicium polycristallin est fondu dans un creuset de quartz chauffé par induction, la température étant maintenue constante juste au-dessus du point de fusion du silicium. Un germe de silicium monocristallin à une température inférieure est disposé à la surface du silicium polycristallin fondu qu'il refroidit localement ce qui entraîne la solidification de la zone à proximité immédiate du germe.

Ce processus est assez progressif pour que les atomes qui se solidifient prennent l'orientation des atomes du germe. Le silicium monocristallin qui se forme alors est tourné lentement (1 tour/ seconde) et soulevé avec une vitesse de 2.5 cm/heure afin d'augmenter son volume.

Après tirage, le cristal de silicium ou "carotte" a une forme cylindrique de 50 à 100 mm de diamètre et une longueur de 30 cm. Le dopant qui détermine si le silicium est de type N ou P est ajouté durant la procédure de tirage.

Pour la fabrication des circuits intégrés, on utilise des plaquettes fines de silicium en général dopé P ayant une épaisseur de 0.6 mm. Aussi, la carotte est découpée en tranches par une fine roue diamantée tournant à vitesse élevée. Les plaquettes sont ensuite polies mécaniquement et chimiquement. Un grand nombre de circuits identiques seront fabriqués sur ces plaquettes en utilisant le procédé de la diffusion solide d'impuretés dans des zones aménagées par l'intermédiaire de la technique de photolithographie.

1.2) Photolithographie de l'oxyde de silicium

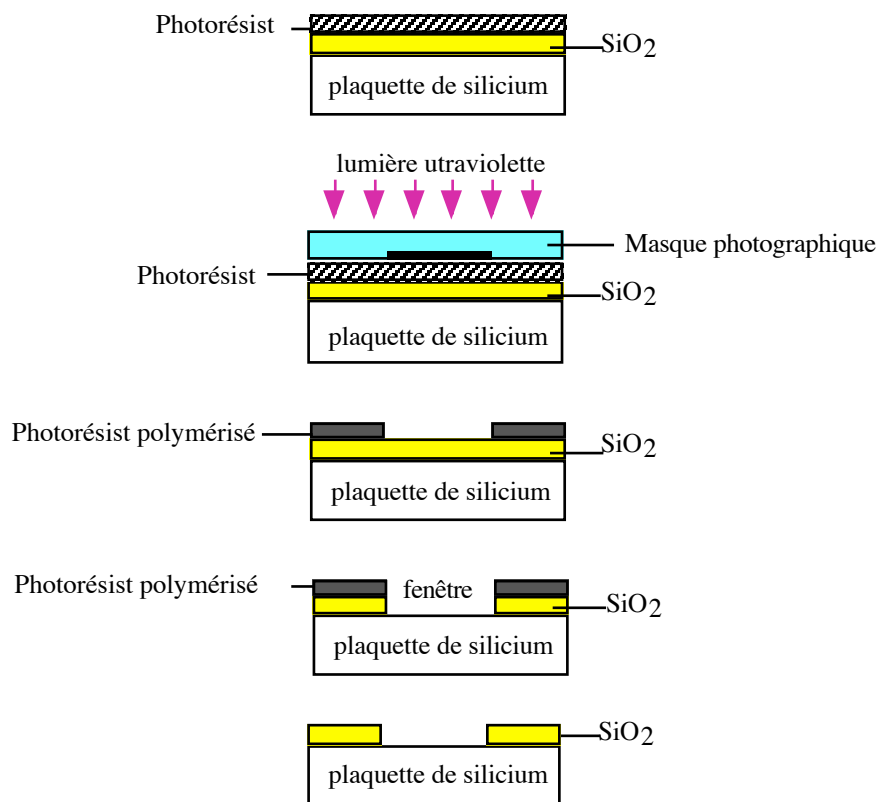


Figure 2

Il est important de remarquer que la formation d'une couche d'oxyde de silicium (SiO₂) à la surface de la plaquette de silicium empêche la diffusion dans le volume des dopants habituels : le bore, le phosphore ou l'arsenic. Cette couche de SiO₂ peut s'éliminer localement par attaque chimique à l'acide hydrofluorique qui est par ailleurs sans action sur le silicium.

Dans ces conditions, si on oxyde la plaquette de silicium (à T = 1100°C dans un courant d'oxygène ou de vapeur d'eau), et si on enlève ensuite cet oxyde à certains endroits, il est alors possible de faire diffuser les impuretés exclusivement dans ces zones nommées « fenêtres ».

Cette élimination locale (figure 2) de l'oxyde de silicium se fait par l'intermédiaire :

- D'une couche de photoresist, une substance organique qui, polymérisée sous l'action d'un rayonnement ultraviolet, résiste alors aux acides et solvants.
- D'un masque photographique, qui sélectionne les zones où la couche de photoresist ne subissant pas le rayonnement ultraviolet peut être éliminée.

La surface de la plaquette de silicium est préalablement oxydée et recouverte d'une couche de photoresist. On place ensuite un masque photographique dont les régions opaques du masque correspondent aux endroits où l'on désire attaquer ensuite l'oxyde de silicium. La plaquette est ensuite illuminée aux ultraviolets.

Après développement du photoresist, les régions opaques du masque, non polymérisées, sont éliminées. L'ensemble est immergé dans un bain d'acide hydrofluorique qui attaque localement le SiO_2 non protégé et forme alors une fenêtre destinée à recevoir la diffusion d'un dopant. La couche restante de photoresist est ensuite éliminée.

2) REALISATION DES TRANSISTORS NPN INTEGRES

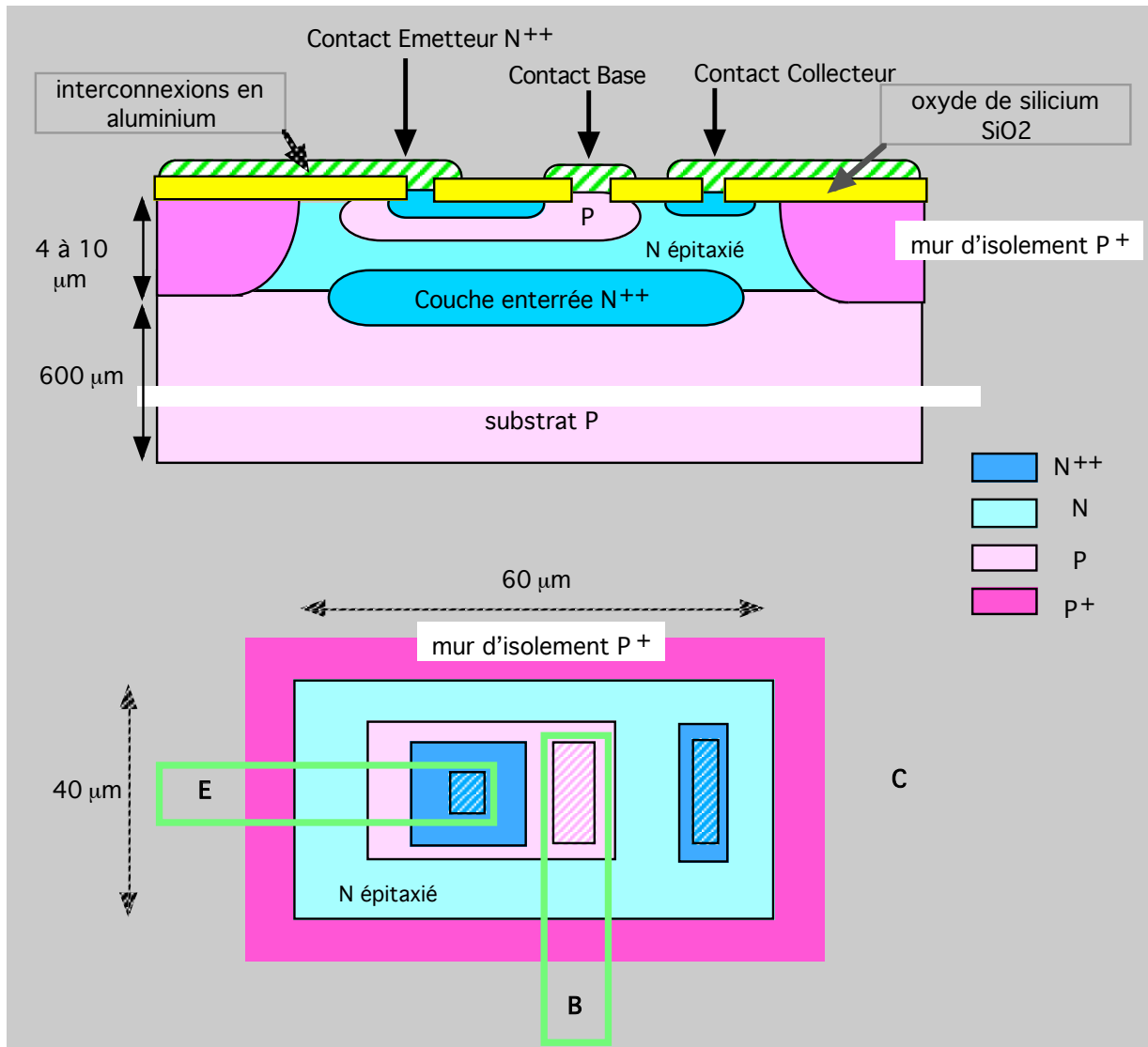


Figure 3 : Transistor NPN intégré

La figure 3 représente la coupe et la vue de dessus d'un transistor NPN intégré qui nécessite l'utilisation de **6 masques de réalisation**.

Le processus de base de réalisation des circuits intégrés monolithiques fait appel aux techniques de masquage par oxyde et de diffusions localisées d'impuretés dans un substrat de silicium monocristallin.

Les différents composants construits à la surface du substrat se trouvent dans des « caissons » construits dans la couche de silicium épitaxiée et isolés électriquement par l'intermédiaire de diodes bloquées.

2.1) Premier Masque : réalisation de la « couche enterrée »

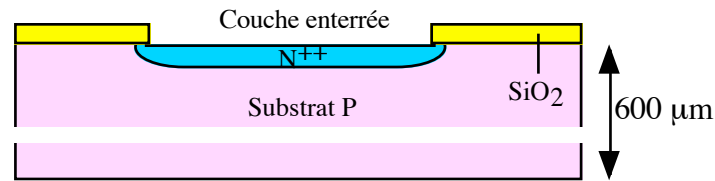


Figure 4

Le substrat de silicium P est tout d'abord oxydé et une fenêtre est aménagée pour permettre la diffusion de la « couche enterrée » très dopée N⁺⁺ (dopant antimoine). La résistance associée à cette couche enterrée a une valeur faible. En effet, le transistor intégré ne diffère notablement du transistor discret que sur un point : le contact de collecteur s'effectue sur la partie supérieure de circuit (voir figure 3). **Sans la présence de la couche enterrée, la résistance série de collecteur serait trop importante.**

2.2) Création d'une couche «épitaxiale» de silicium

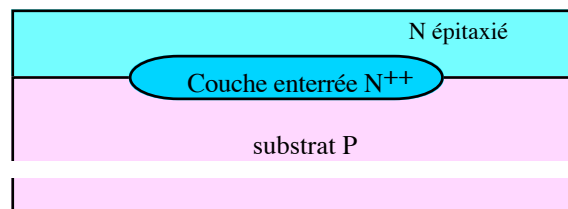


Figure 5

On doit aménager à la surface de la plaquette de silicium (qui est en fait un support mécanique) un **film mince de silicium monocristallin**, où seront construits les composants actifs (diodes, transistors bipolaires, JFET ou MOS) et passifs (résistances et condensateurs).

On utilise pour cela le procédé de **croissance épitaxiale** qui permet de réaliser une couche de silicium monocristallin de quelques microns d'épaisseur (4 à 10 µm).

On réalise la croissance épitaxiale du silicium à 1200°C dans une atmosphère d'hydrogène et de silane (SiH₄) qui se décompose sous forme de silicium : $SiH_4 \rightarrow Si + 2H_2$. Le silicium monocristallin se dépose alors sur la plaquette avec une vitesse de croissance de l'ordre de 1 µm par minute.

Durant le processus, on assure le dopage au phosphore du silicium (SiN), en ajoutant du trichlorure de phosphore (PCl₃) : $2PCl_3 + 3H_2 \rightarrow 2P + 6HCl$. On obtient finalement une couche mince de silicium N dopé au phosphore qui formera la zone de collecteur du transistor NPN.

Remarque : à 1200°C, la couche enterrée continue à diffuser dans le silicium P et N épitaxié comme indiqué en figure 5.

2.3) 2° Masque : mur d'isolement P⁺

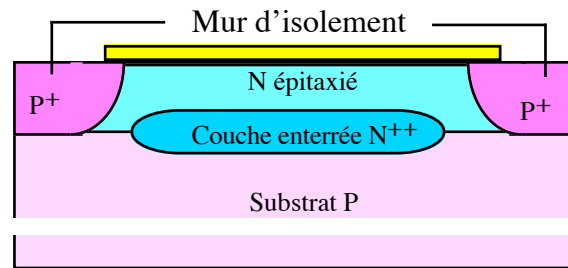


Figure 6

Après croissance de la couche épitaxiale de type N, celle-ci est entièrement oxydée. Ensuite, la couche d'oxyde de silicium est enlevée sélectivement à l'aide du masque n° 2. On effectue alors la diffusion locale en deux étapes du mur d'isolement P⁺ :

- Prédépôt du bore (1200°C avec l'oxyde de bore B₂O₃ dopant P) à la surface du dispositif.
- Diffusion en profondeur de manière à changer le dopage de la couche épitaxiale originellement de type N. Cette diffusion est contrôlée en temps et température (1000°C) pour permettre au mur de rejoindre le substrat P.

2.4) 3° Masque : diffusion de la base P

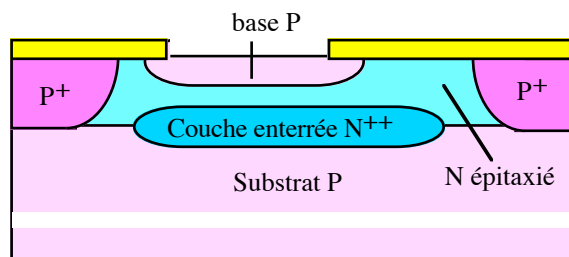


Figure 7

La plaquette est à nouveau entièrement oxydée et le bore est utilisé pour construire la base du transistor dans une fenêtre aménagée au droit de la zone choisie (figure 7).

La diffusion du bore est à nouveau contrôlée de manière à assurer une épaisseur de l'ordre de 2 à 3 μm et surtout en prenant soin de ne pas atteindre la couche enterrée N⁺⁺. En effet, on détruirait alors localement la zone N épitaxiale constituant le collecteur du transistor.

La diffusion des atomes d'impuretés se fait en profondeur mais aussi latéralement (80%). Il y aura donc lors de la conception des masques, des gardes à respecter pour éviter que des régions de même nature se rejoignent.

2.5) 4° Masque : diffusion de l'émetteur N⁺⁺ et du contact de collecteur

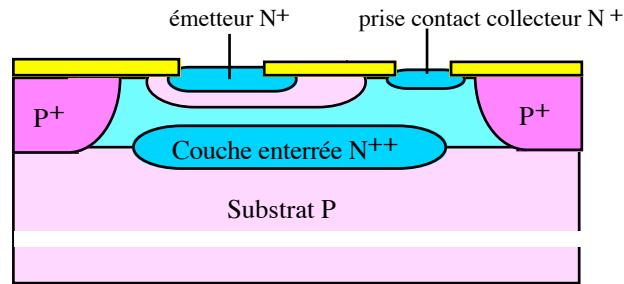


Figure 8

La plaquette est ensuite préparée pour l'étape de diffusion de l'émetteur du transistor ainsi que l'aménagement de la prise de contact du collecteur.

En effet, on viendra prendre le contact de collecteur à l'aide de l'aluminium qui est un dopant P (il appartient à la 3^e colonne de la classification périodique). Pour éviter d'effectuer alors une diode PN avec la couche épitaxiée N, il faut diffuser une zone très dopée N⁺⁺ afin d'assurer un bon contact ohmique. La profondeur de diffusion d'émetteur est d'environ 1.5 μm qui conduit à une épaisseur efficace de base de 1 μm .

2.6) 5° et 6° Masques : ouverture des contacts et interconnexions

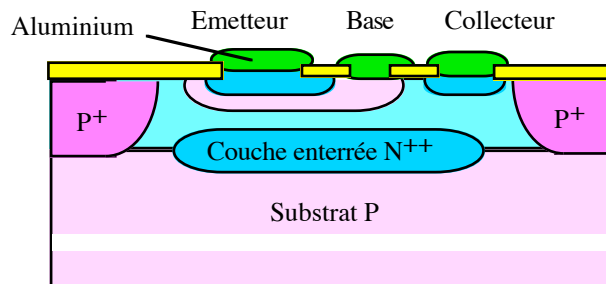


Figure 9

Après oxydation de la plaquette, le 5^e masque permet d'aménager des fenêtres sur les zones qui doivent être interconnectés.

On évapore donc l'aluminium sur toute la plaquette et l'on utilise à nouveau la technique de masquage mais dans une séquence négative puisque le but est d'enlever l'aluminium en tout point à l'exception des zones de contact.

Enfin la plaquette est recouverte d'une couche de passivation (SiO_2 et ou Si_3N_4) qui la protégera d'une éventuelle pollution du milieu extérieur. Les plots de sorties, où seront soudés des fils d'or vers les pattes du circuit intégré, sont évidemment masqués lors de cette dernière opération.

2.7) Rôle des murs P⁺ : isolement électrique des transistors

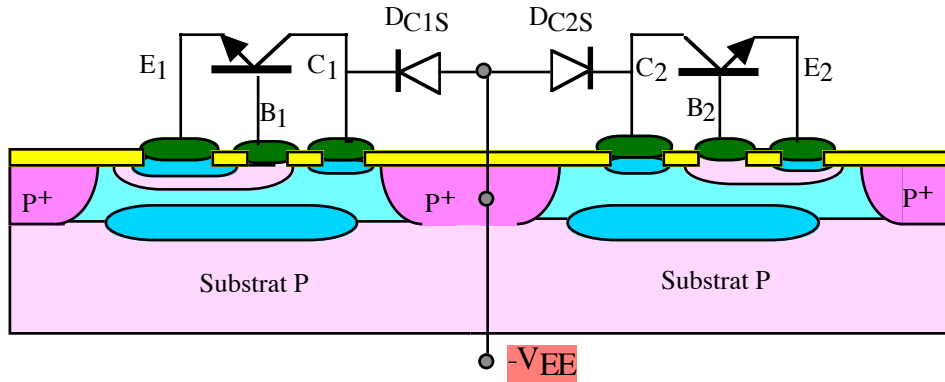


Figure 10

Considérons deux transistors T_1 et T_2 adjacents sur la puce (figure 10). Ils doivent être électriquement isolés l'un de l'autre.

Pour se faire, chaque caisson N épitaxié de collecteur (C_1 et C_2) est entouré d'un mur d'isolement en silicium P⁺, de même nature que le substrat P. Si le substrat est relié au potentiel le plus négatif du circuit ($-V_{EE}$), les diodes D_{C1S} et D_{C2S} sont polarisées en inverse (circuit ouvert). Les collecteurs C_1 et C_2 de T_1 et T_2 portés à des potentiels supérieurs à $-V_{EE}$, sont donc isolés électriquement.

3) REALISATION DE DIVERS COMPOSANTS

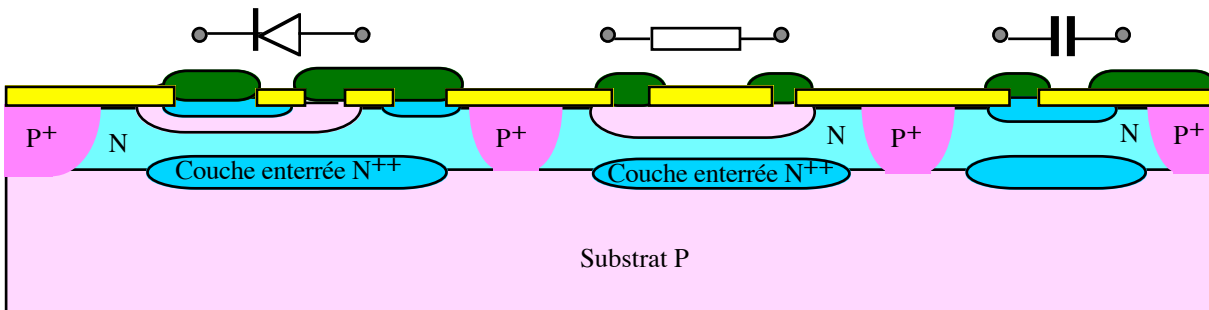


Figure 11

L'exposé précédent présentait en détail le processus de fabrication d'un transistor NPN. Durant les mêmes étapes du processus, en jouant avec la topographie des différents masques, il est possible de réaliser simultanément un certain nombre de composants présentés en figure 11 :

- Une diode (transistor NPN muni d'un court-circuit base collecteur)
- Une résistance qui exploite la résistivité de la diffusion de la base d'un transistor NPN
- Une capacité dont les armatures sont constituées par l'aluminium et la diffusion de type émetteur et le diélectrique par la couche de SiO_2 .

Cette liste n'est pas limitative et les dispositifs suivants sont intégrables :

- Transistors PNP « latéral » et « vertical »
- JFET canal N
- MOSFET

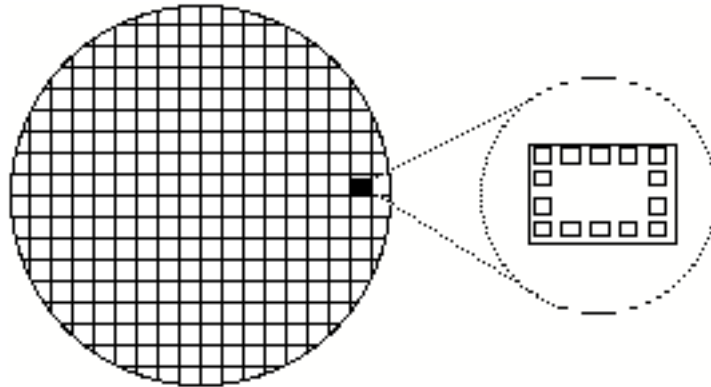
A voir en annexe : composants intégrés.

4) VERIFICATION DE LA PLAQUETTE-DECOUPAGE ET ASSEMBLAGE

Tous les circuits intégrés de la plaquette sont vérifiés sur un banc de test automatique à l'aide de sondes placées sur les plots de chaque circuit. Tout circuit hors caractéristiques est automatiquement marqué et se trouvera éliminé après découpage de la plaquette en puces individuelles.

Pour extraire les puces de la plaquette, on utilise un appareil muni d'une pointe de diamant très fine qui se déplace en x y selon un chemin de découpe. La plaquette est ensuite placée sur un support souple dont la déformation entraîne une cassure le long des rayures du chemin de découpe.

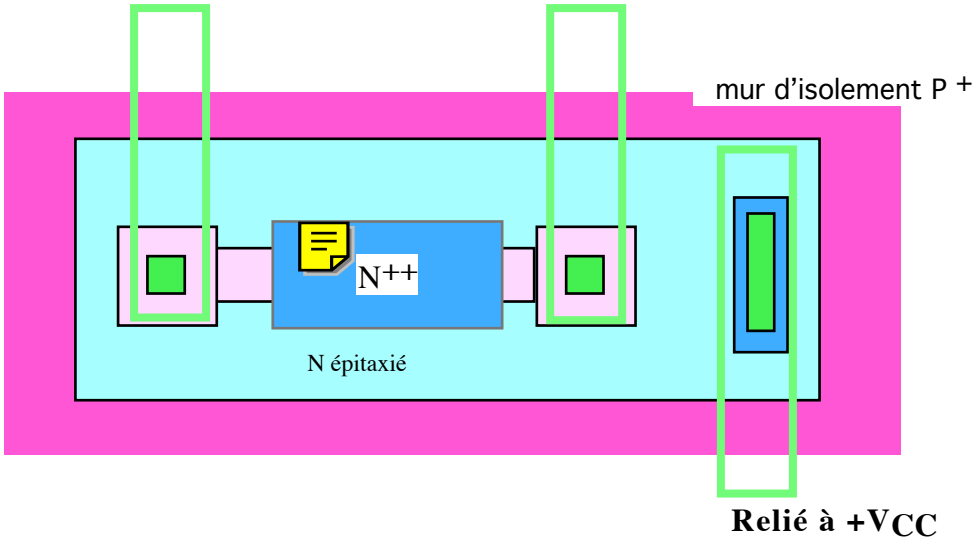
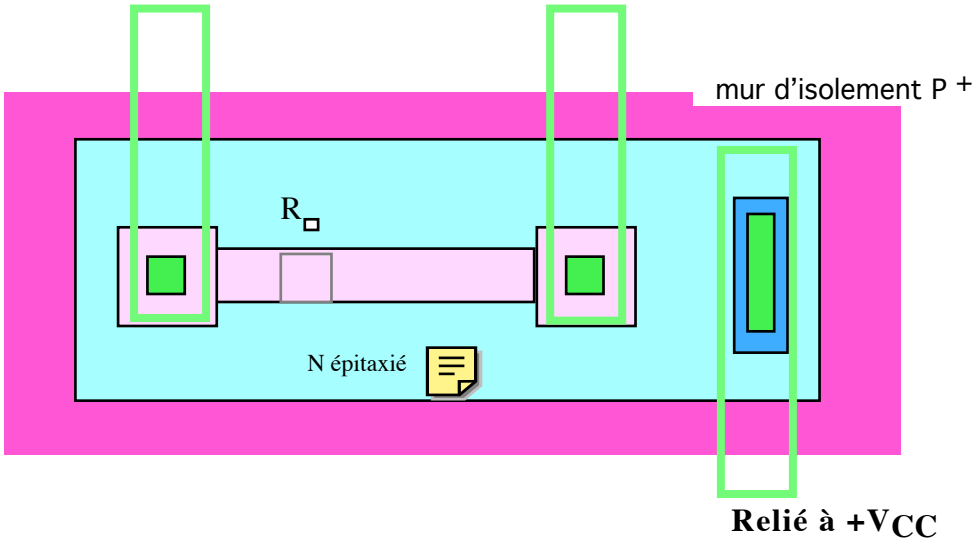
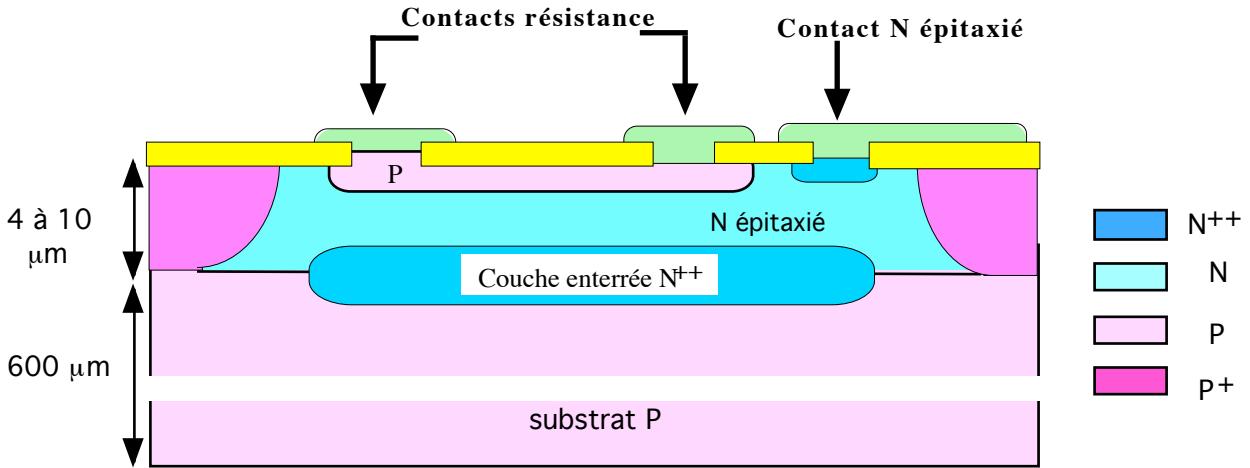
Ayant choisi un type de boîtier (flat pack, dual in line, TO5...), on positionne la puce qui est soudée du côté substrat par frittage à basse température. Il est alors possible de réaliser, à l'aide d'une machine à souder automatique, les connexions électriques avec un fil d'or de 25 μm de diamètre entre les bornes de sortie et les plots aménagés sur le pourtour de la puce.



Documentation : Fabrication d'une diode
<http://jas.eng.buffalo.edu/education/fab/pn/diodeframe.html>

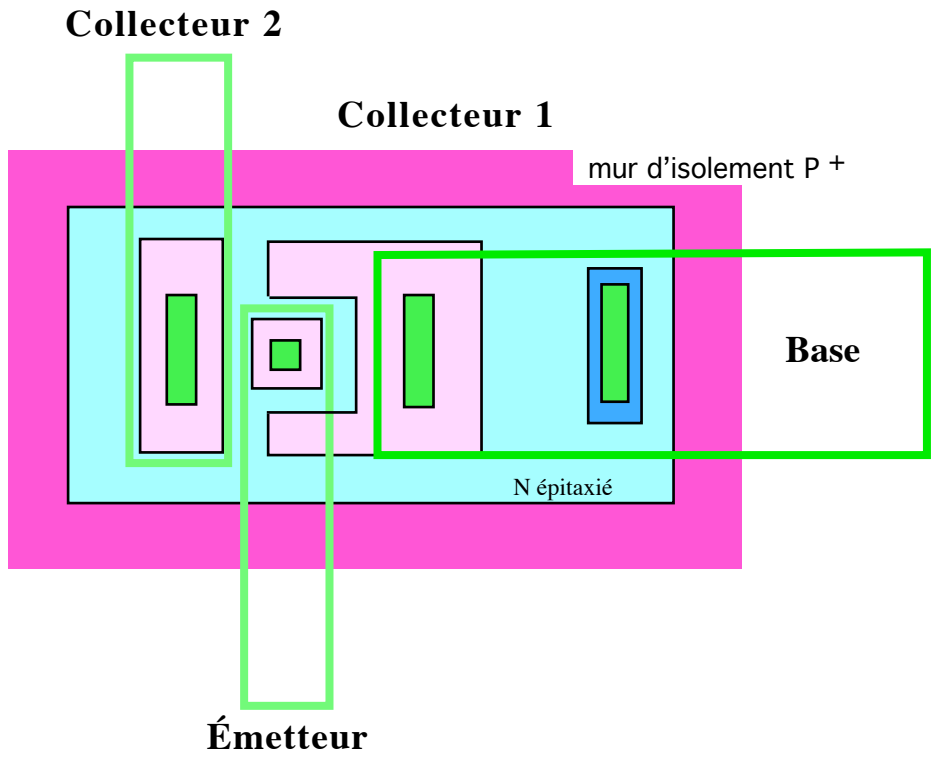
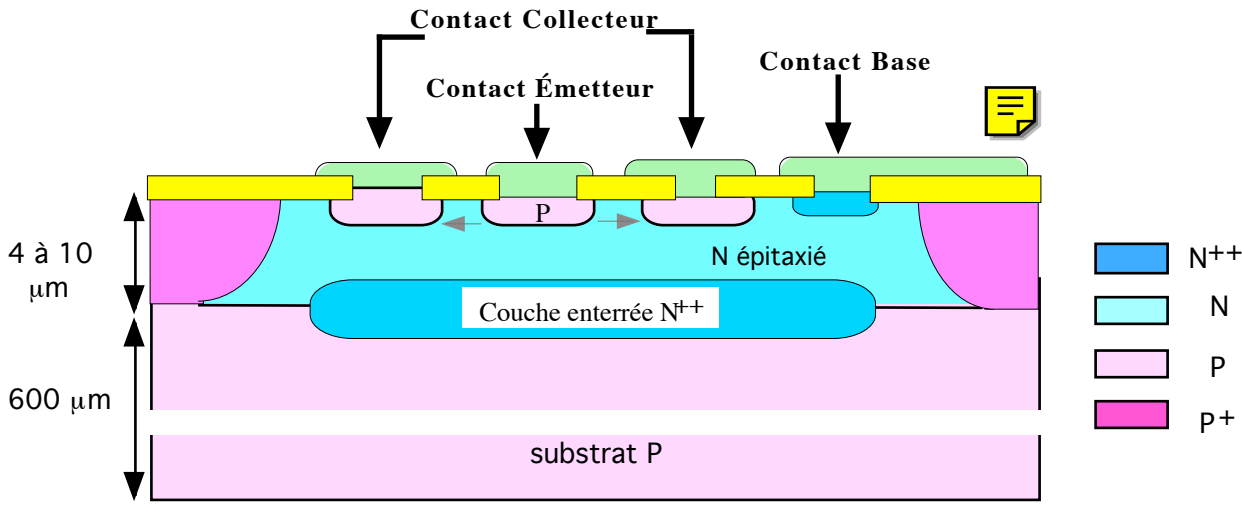
ANNEXE

RÉSISTANCE DE TYPE BASE



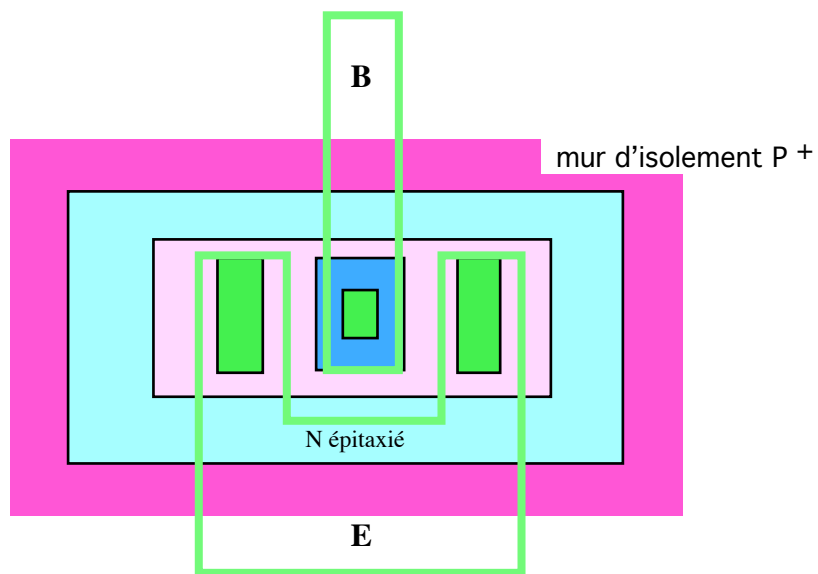
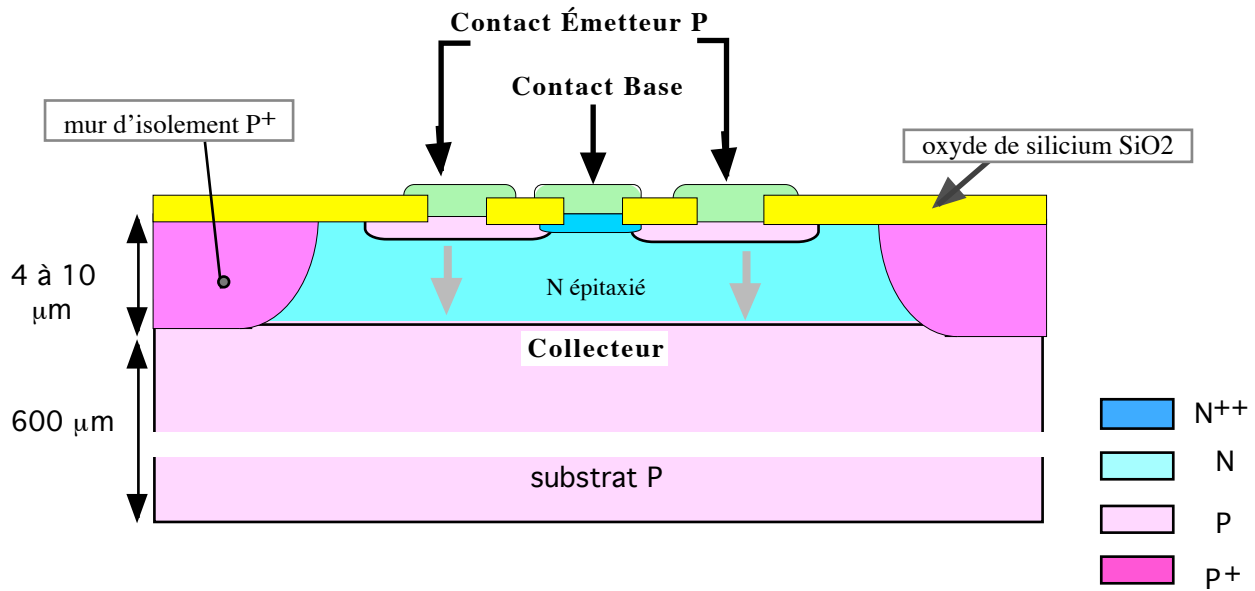
RÉSISTANCE DE TYPE BASE PINCÉE

TRANSISTOR PNP MULTI-COLLECTEURS

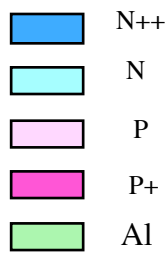
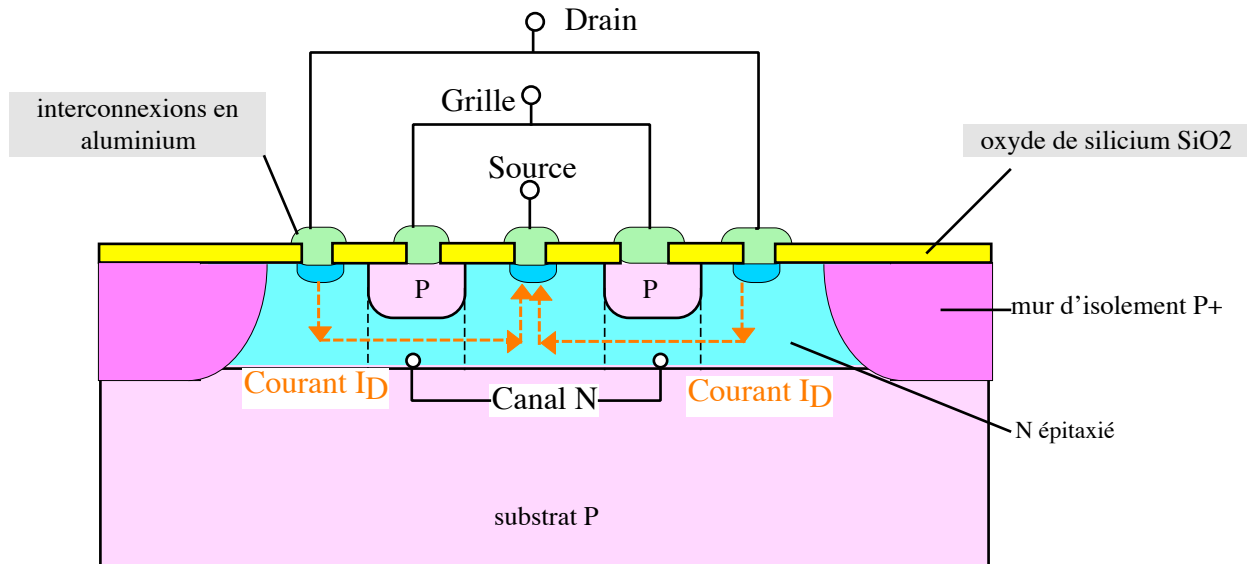


PNP Latéral à gain fixé géométriquement

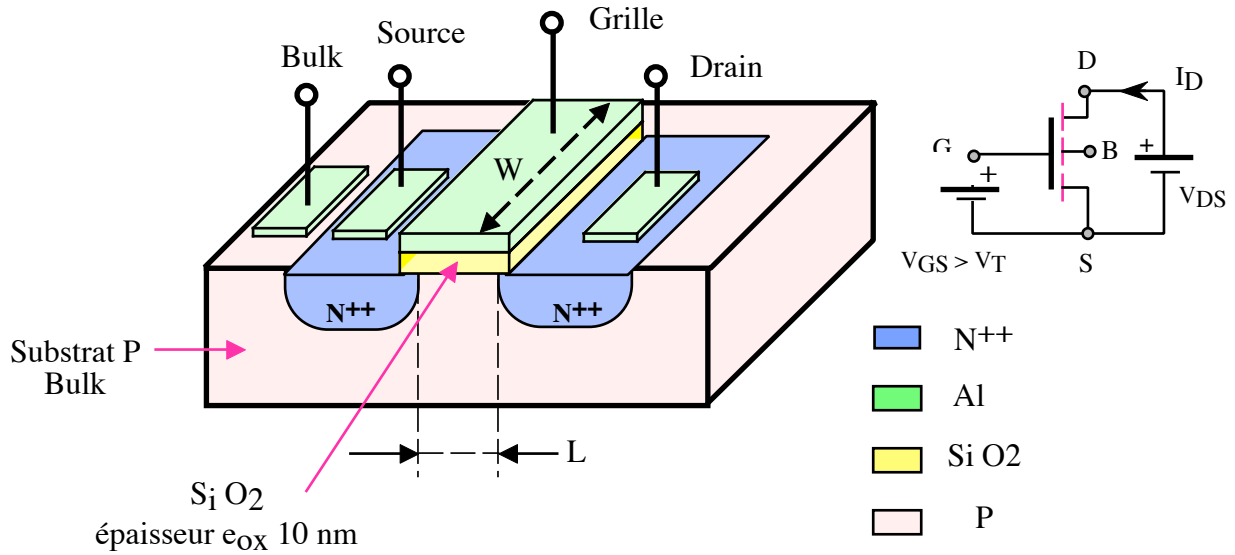
TRANSISTOR PNP VERTICAL



TRANSISTOR A EFFET DE CHAMP A JONCTION : JFET CANAL N



TRANSISTOR MOS CANAL N À ENRICHISSEMENT
 normalement bloqué $V_{GS} = 0\text{ V}$



TRANSISTOR MOS CANAL N À APPAUVRISSEMENT
 normalement conducteur pour $V_{GS} = 0\text{ V}$

