

1° AMPLIFICATEUR DE PUISSANCE INTEGRE A TRANSISTORS M.O.S.

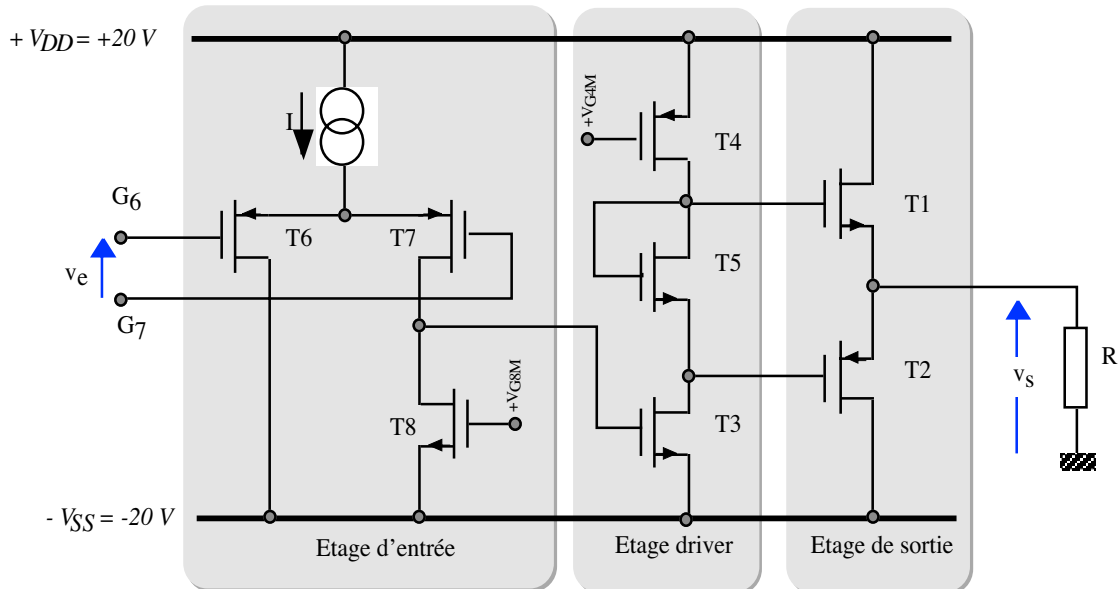


Figure1 : Schéma de l'amplificateur

Le schéma général de l'amplificateur intégré est donné en figure 1, il comprend :

- Un étage différentiel utilisant deux transistors MOS canal P T_6 T_7 identiques, polarisés par une source de courant I . Le transistor T_7 est chargé par T_8 monté en « charge active ».
- Un étage amplificateur "source commune" utilisant le transistor T_3 canal N chargé par T_4 canal P monté en "charge active".
- Le transistor MOS T_5 est un « décalage de tension » qui assure une polarisation correcte des grilles de T_1 et T_2 pour diminuer la « distorsion de croisement ».
- L'étage de sortie constitué par deux transistors de puissance complémentaires T_1 T_2 travaillant en « push-pull » classe B.

1° PARTIE : ETAGE DE SORTIE “PUSH-PULL” CLASSE B

On va montrer l'intérêt du montage “push-pull” en procédant par étapes. On considère dans un premier temps, le montage de la figure 2 dans lequel T_1 est un MOS canal N de puissance du modèle T_A dont les caractéristiques sont données en annexe.

Sa tension de seuil V_T est de 2 V.

1.1) Déterminer l'équation et tracer sur le réseau de caractéristiques T_A la droite de charge du transistor T_1 .

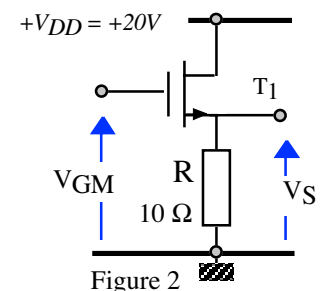
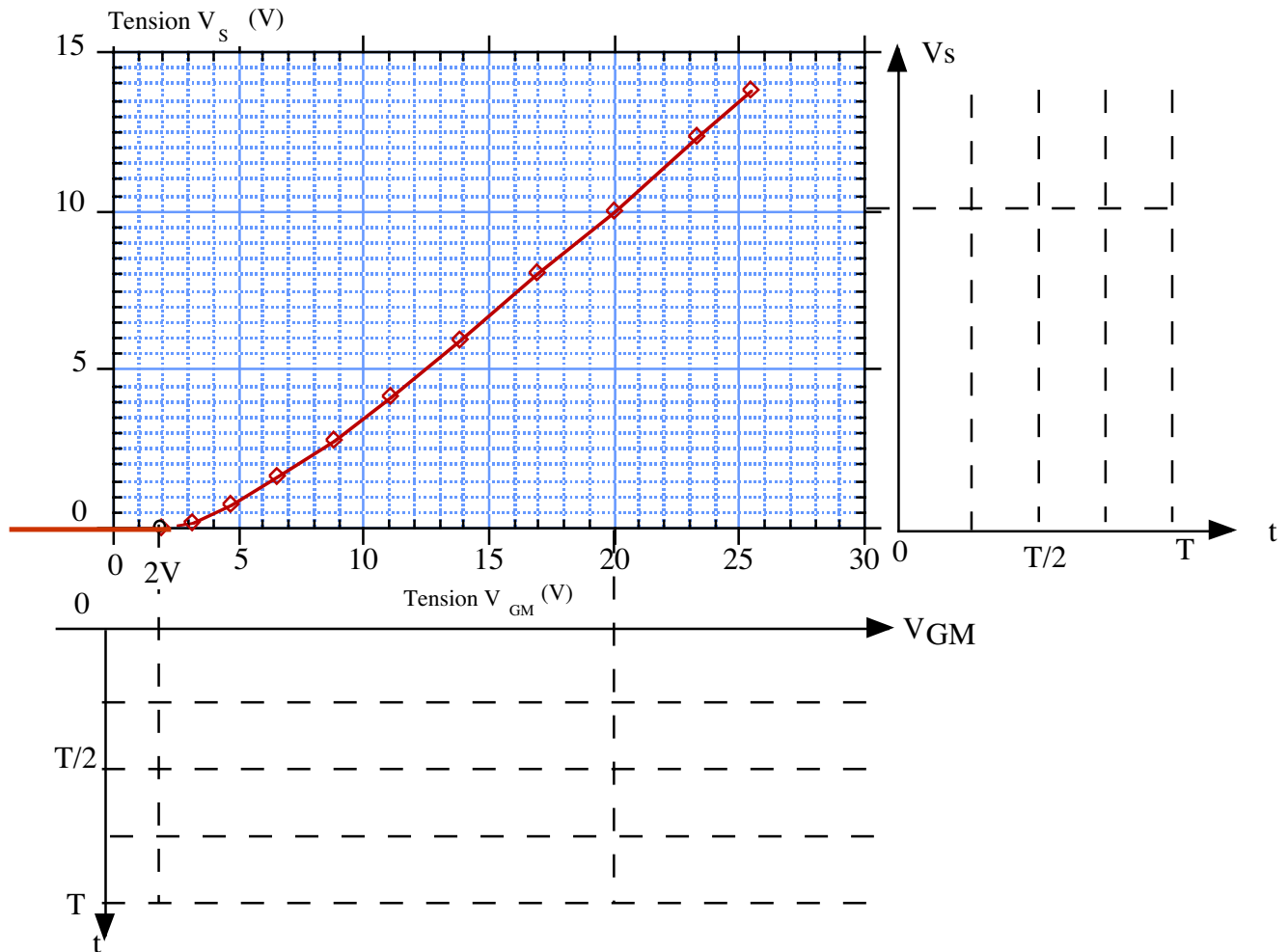


Figure 2

1.2) Sachant que les tensions continues V_{GM} et V_S sont telles que : $V_{GM} = V_{GS} + V_S$ et $V_S = R I_D$, vérifier point par point, en se déplaçant sur la droite de charge, que la caractéristique de transfert : $V_S = f(V_{GM})$ est conforme au graphe suivant.

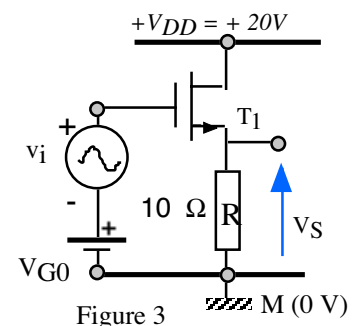


1.3) Evaluer numériquement le gain en tension du montage dans la partie linéaire de la caractéristique de transfert. Ce résultat était-il prévisible compte-tenu de la nature du montage ?

On excite le transistor T_1 (figure 3) entre grille et masse par un signal constitué :

- D'une tension continue de polarisation V_{G0} de 2 V.
- D'une tension v_i sinusoïdale d'amplitude 18 V.

1.4) Dessiner sur une période du signal v_{GM} , l'allure correspondante de la tension de sortie v_s .



1.5) Quel est le rôle de la tension continue V_{G0} ?

1.6) Evaluer l'amplitude maximale V_{smax} de la tension de sortie v_s . En déduire les valeurs correspondantes de : I_D , V_{GS} et V_{DS} .

1.7) En négligeant la légère courbure de la caractéristique de transfert pour les faibles tensions, écrire l'expression de l'intégrale donnant la puissance de sortie P_R dans la résistance R :

$$P_R = \frac{1}{T} \int_0^T \frac{v_s(t)}{R} dt$$

Faire l'application numérique.

1.8) Déterminer l'expression de l'intégrale donnant le courant de drain moyen I_{Dmoy} . Calculer sa valeur sachant que l'amplitude de la tension v_i est égale à 18 V.

1.9) En déduire :

- La puissance P_{alim} fournie par l'alimentation $V_{DD} = 20$ V.
- La valeur du rendement η en % du montage.

Le silicium du transistor ne peut supporter une température de jonction $T_j > 150$ °C. On donne par ailleurs les résistances thermiques du MOS T_A :

- $R_{thj-case} = 10$ °C/W
- $R_{thj-amb} = 60$ °C/W.

1.10) Dessiner le schéma thermique équivalent au transistor. Un radiateur est-il nécessaire?

On utilise maintenant deux transistors MOS complémentaires T_1 T_2 parfaitement appairés, montés selon la figure 4, en montage "push-pull", alimentés par $V_{DD} = +20$ V et $-V_{SS} = -20$ V.

Les deux tensions d'excitations sinusoïdales v_i et v'_i sont en phase et d'amplitudes égales.

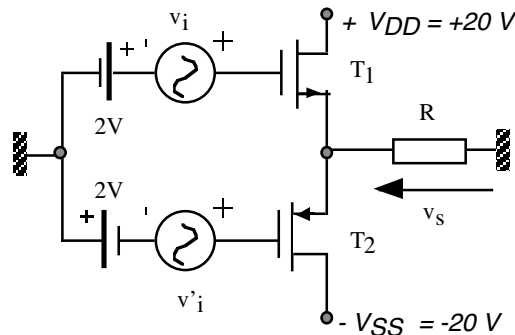


Figure 4

1.11) Dans les mêmes conditions d'attaque avec $v_{i\max}$ de 18 V :

- Dessiner l'allure de la tension de sortie du montage.
- Quelle est la puissance moyenne disponible dans la résistance de charge R ?
- Quelle est la nouvelle valeur du rendement du montage ?

2° PARTIE : ETUDE DE L'ETAGE INTERMEDIAIRE (Driver)

Le transistor T_5 (figure 5) monté en "décalage de tension" assure la polarisation des grilles respectives des transistors MOS de puissance T_1 T_2 . En effet, pour réduire la "distorsion de croisement", on doit fournir une tension V_{G1G2} de 4 V au repos entre les grilles G_1 et G_2 de T_1 et T_2 .

Le transistor T_5 canal N dont la grille est reliée au drain est un modèle du type T_B ayant une tension de seuil $V_T = 2$ V.

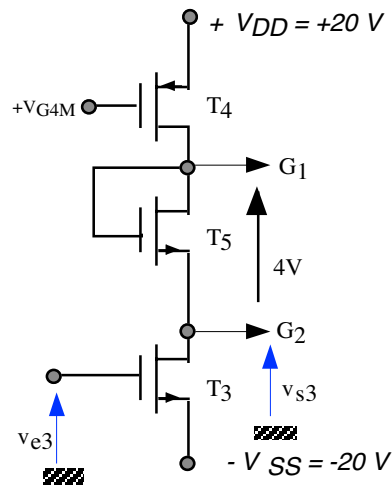


Figure 5

2.1) Tracer point par point, sur le réseau des caractéristiques de T_5 , la courbe, lieu des points tels que $V_{GS5} = V_{DS5}$. En déduire le courant de drain I_{D5} de T_5 pour avoir une tension de 4 V entre G_1 et G_2 ?

2.2) Calculer la valeur à donner à la tension de polarisation V_{G4M} pour que le courant de drain I_{D5} soit imposé par le transistor T_4 canal P (*mêmes caractéristiques que T_5 canal N mais de signes opposés*).

2.3) Aux petites variations, le montage "décalage de tension" T_5 doit présenter une faible résistance interne r_s autour de son point de repos pour que sa tension aux bornes soit aussi constante que possible. Mesurer graphiquement la valeur de la résistance r_s .

2.4) En dessinant le schéma équivalent aux petites variations de la "charge active" constituée par les MOS T_4 et T_5 , évaluer la charge dynamique r_{D3} située dans le drain de T_3 . A.N.

On donne pour le MOS de type T_B : $\lambda = 10^{-2} V^{-1}$ et $K = 75 \cdot 10^{-6} A V^{-2}$.

2.5) Le MOS T_3 étant du type T_B , calculer le gain en tension aux petits signaux v_{s3}/v_{e3} du deuxième étage.

3° PARTIE : ETUDE DE L'ETAGE D'ENTRÉE

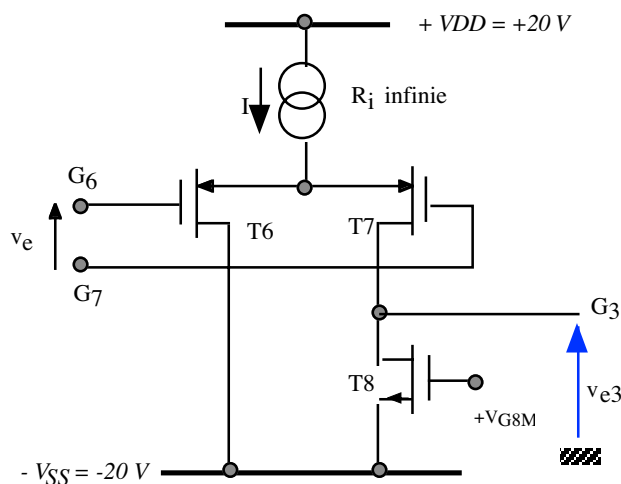


Figure 6

Les transistors MOS canal P, T_6 et T_7 de la paire différentielle (figure 6) sont du type complémentaire à T_8 . Ils sont polarisés par un miroir de courant "empilé" (voir annexe) servant de source de courant de résistance interne supposée infinie. On donne : $I = I_{ref} = 0,6 \text{ mA}$.

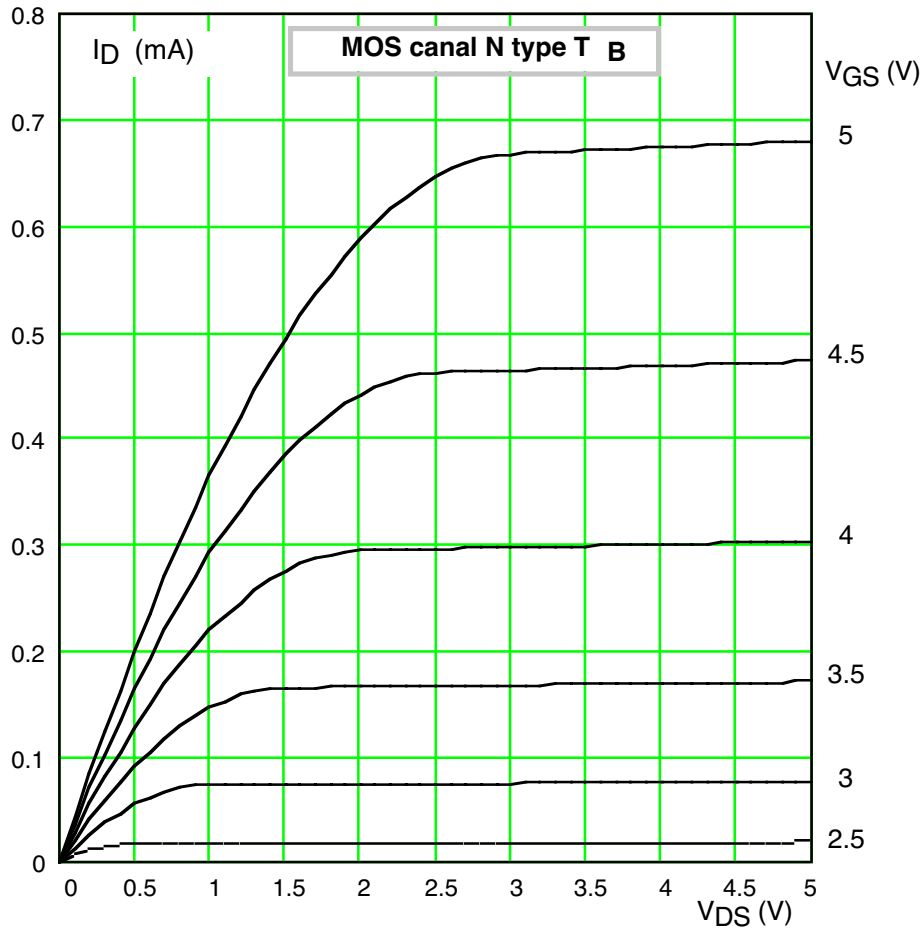
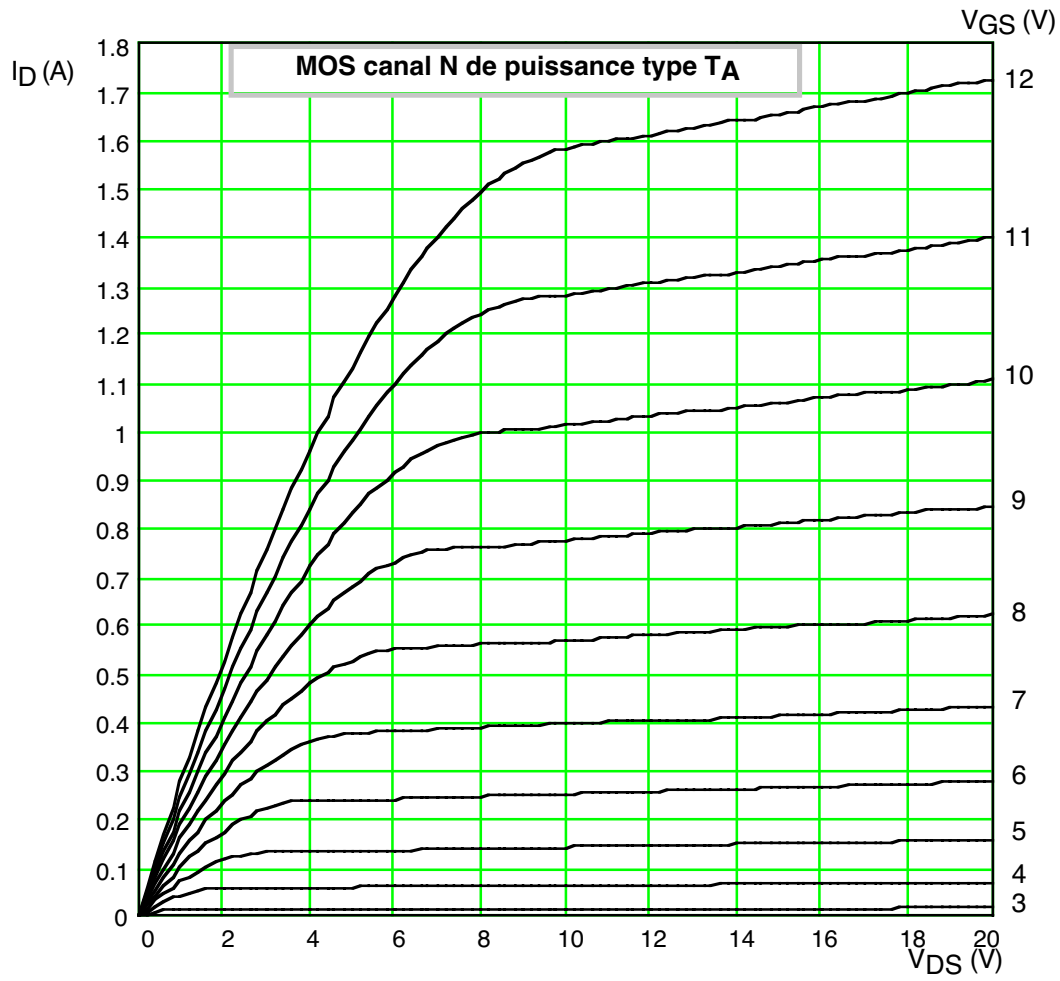
3.1) En régime de repos, les grilles G_6 et G_7 étant réunies à la masse, déterminer la valeur à donner à la tension de polarisation V_{G8M} qui polarise T_8 (MOS canal N de type T_B).

3.2) Dessiner le schéma équivalent aux petites variations et aux fréquences moyennes de l'amplificateur différentiel complet.

On suppose que toutes les résistances r_{ds} de T_6 , T_7 et T_8 sont égales à r .

Calculer le gain en tension $A_1 = v_{e3} / v_e$ du montage différentiel.

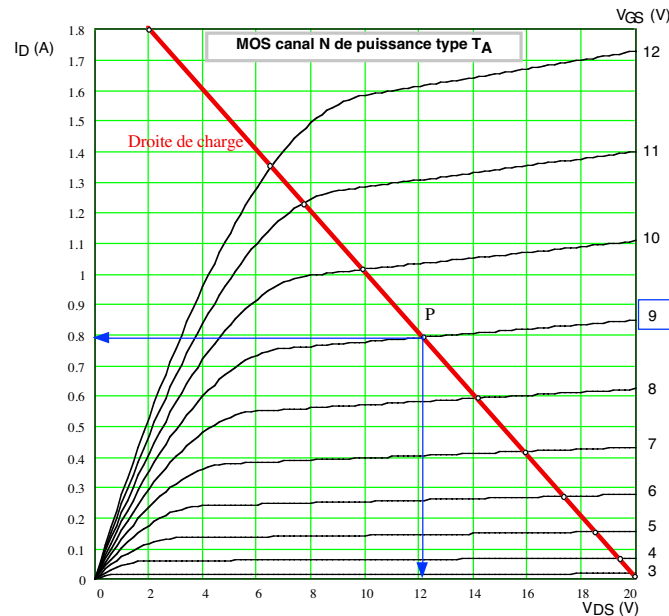
Calculer numériquement le gain en tension v_s / v_e de l'amplificateur complet.



CORRECTION

1° PARTIE : ETAGE DE SORTIE “PUSH-PULL” CLASSE B

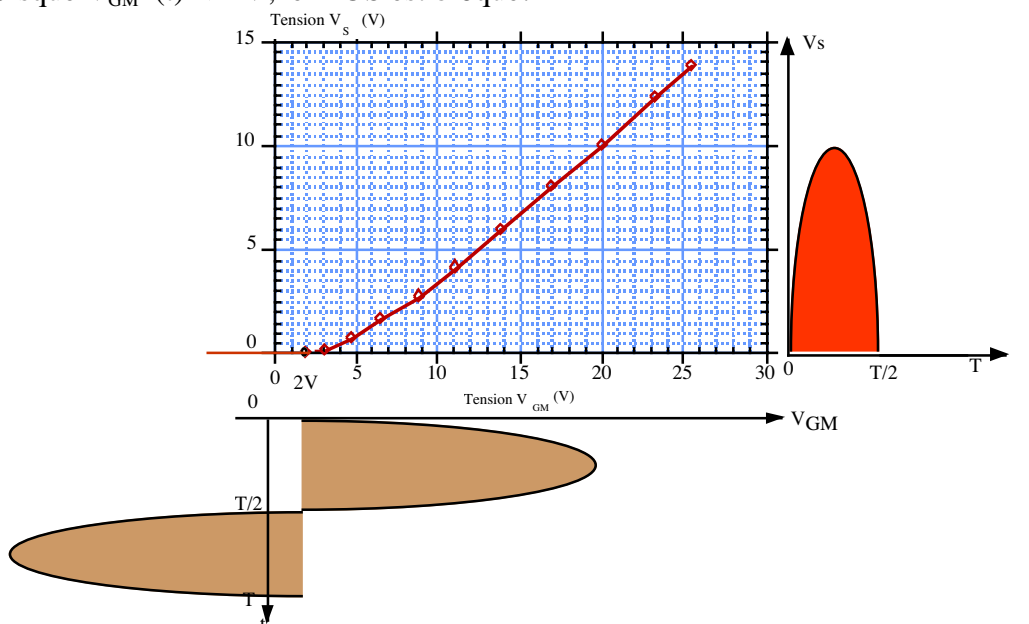
- 1.1) Droite de charge : $V_{DS} = V_{DD} - R \cdot I_D$. Elle passe par les coordonnées suivantes : ($V_{DD} = 20 \text{ V}$, $I_D = 0 \text{ A}$) et ($V_{DS} = 2 \text{ V}$, $I_D = 1,8 \text{ A}$).



- 1.2) En choisissant un point P de la droite de charge, on obtient trois données : V_{GS} , I_D et V_{DS} . On peut alors calculer : V_{GM} et V_S et reconstituer point par point le graphe donné.

- 1.3) Dans la partie linéaire : $A = \frac{\Delta V_S}{\Delta V_{GM}} = 0,673$

- 1.4) Tension de sortie $V_S(t)$. Seule l'alternance positive de $V_{GM}(t)$ est transmise ! En effet, lorsque $V_{GM}(t) < 2 \text{ V}$, le MOS est bloqué.



1.5) V_{G0} est une tension de polarisation qui permet de compenser la tension de seuil du MOS et qui évite alors une « distorsion de croisement ».

1.6) $V_{S_{\max}} = 10,3 \text{ V}$ $I_{D_{\max}} = 1,03 \text{ A}$ $V_{GS_{\max}} = 9,7 \text{ V}$ $V_{DS_{\max}} = 9,7 \text{ V}$

1.7) Puissance de sortie P_R dans la résistance R : $P_R = \frac{1}{T} \int_0^T \frac{v_s(t)}{R} dt$

Tension de sortie pour $0 < t < T/2$: $v_s = V_{S_{\max}} \sin(\omega t)$ et nulle pour $T/2 < t < T$.

$$P_R = \frac{V_{S_{\max}}^2}{T R} \int_0^{T/2} \sin^2(\omega t) dt \quad \text{avec : } \sin^2(\omega t) = \frac{1 - \cos(2\omega t)}{2}$$

$$P_R \frac{T R}{V_{S_{\max}}^2} = \frac{T}{4} - \frac{1}{2\omega} [\sin(2\omega t)]_0^{T/2}$$

Bilan :

$$P_R = \frac{V_{S_{\max}}^2}{4R} = 2,65 \text{ W}$$

1.8) Expression du courant de drain moyen $I_{D_{\text{moy}}}$.

Courant de drain pour $0 < t < T/2$: $i_D = I_{D_{\max}} \sin(\omega t)$ et nul pour $T/2 < t < T$.

Dans ces conditions :

$$I_{D_{\text{moy}}} = \frac{1}{T} \int_0^{T/2} I_{D_{\max}} \sin(\omega t) dt$$

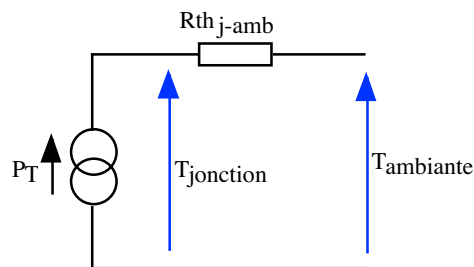
$$I_{D_{\text{moy}}} = \frac{I_{D_{\max}}}{\pi} = 0,328 \text{ A}$$

1.9) Puissance fournie par l'alimentation : $P_{a \text{ lim}} = V_{DD} I_{D_{\text{moy}}} = 6,56 \text{ W}$.

Rendement du montage : $\eta = \frac{P_R}{P_{a \text{ lim}}} = 40,4\%$

1.10) Puissance dissipée dans le transistor MOS : $P_T = P_{a \text{ lim}} - P_R = 3,91 \text{ W}$.

Schéma thermique :

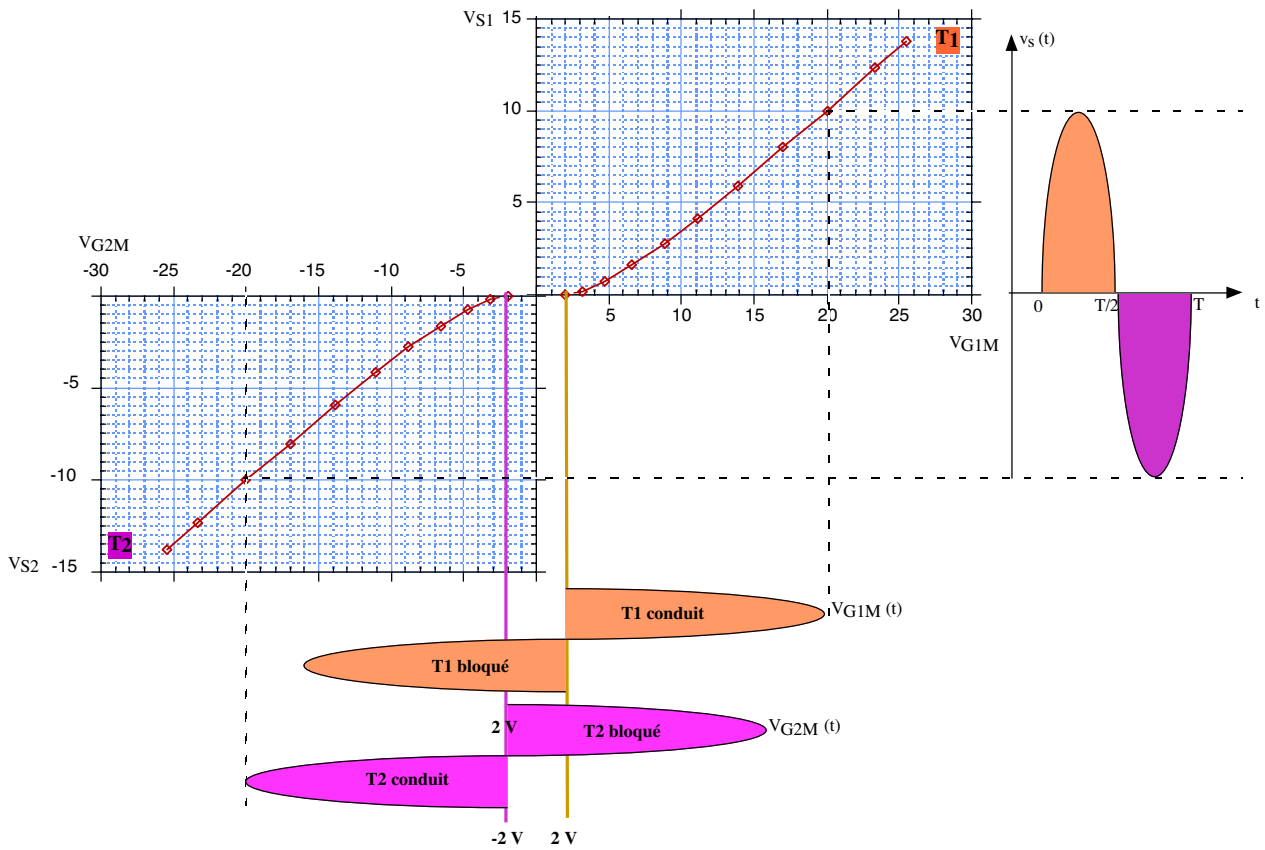


$$T_{\text{jonction}} = P_T \cdot R_{\text{th-j-amb}} + T_{\text{amb}} = 234,6 \text{ }^\circ\text{C} + T_{\text{amb}} > 175 \text{ }^\circ\text{C}$$

Il faut associer un dissipateur thermique au transistor MOS.

1.11) Il s'agit alors d'un montage « push-pull » dont le fonctionnement est illustré sur la figure suivante : chaque transistor MOS conduit durant une alternance, T_1 pour la positive et T_2 pour la négative.

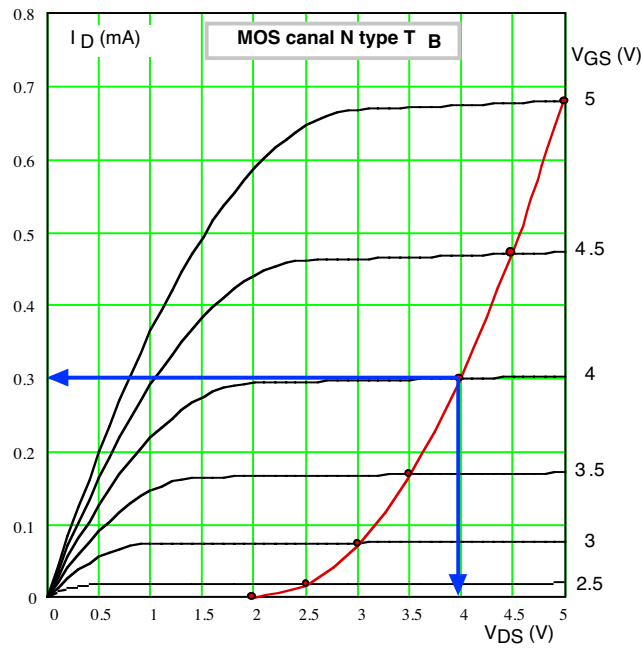
La tension de sortie est quasiment sinusoïdale et la puissance dans R est doublée soit $5,3 \text{ W}$. Sachant que le montage possède deux alimentations, le rendement reste identique soit $40,4\%$.



Fonctionnement du montage « push-pull »

2° PARTIE : ETUDE DE L'ETAGE INTERMEDIAIRE (Driver)

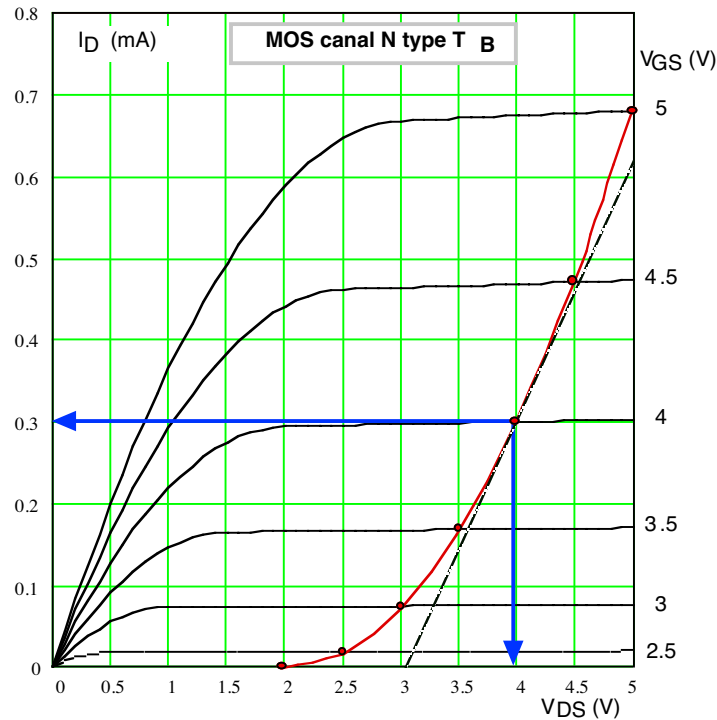
2.1) La caractéristique du MOS T5 est obtenue point par point en reportant : $V_{DS} = V_{GS}$.



Pour assurer une tension de décalage de 4V, on doit avoir I_{D5} de 0,3 mA.

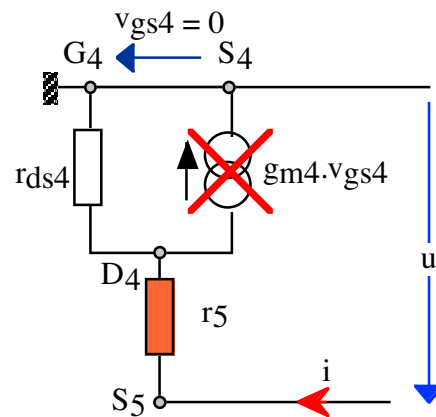
2.2) La tension V_{GS4} du MOS T_4 est égale à -4 V pour un courant de 0,3 mA. On en déduit : $V_{G4M} = 16$ V.

- 2.3) La résistance r_5 est obtenue en traçant la tangente à la caractéristique au point de repos indiqué : 4 V, 0,3 mA.



On obtient : $r_5 = 3,5 \text{ K}\Omega$.

- 2.4) Schéma équivalent aux petites variations de la "charge active" constituée par les MOS T_4 et T_5 .

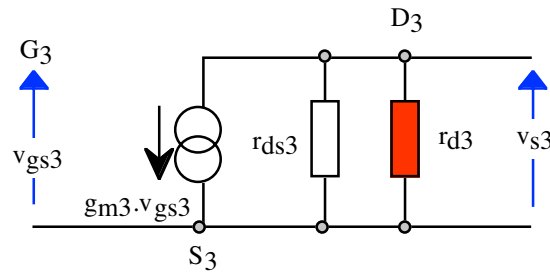


La grille étant reliée à un potentiel fixe, celui-ci est relié à la masse aux variations. Comme la source est reliée à V_{DD} , elle aussi est à la masse aux variations. Dans ces conditions la tension de commande v_{gs4} est nulle. Le générateur de courant dépendant ($g_{m4} \cdot v_{gs4}$) est donc un circuit ouvert.

La charge dynamique dans le collecteur de T_3 est donc : $r_{d3} = \frac{u}{i} = r_5 + r_{ds4}$.

Application numérique : $r_{ds4} \approx \frac{1}{\lambda_{D4}} = 333 \text{ K}\Omega$ $r_{d3} = 337 \text{ K}\Omega$.

2.5) Schéma équivalent de l'étage.



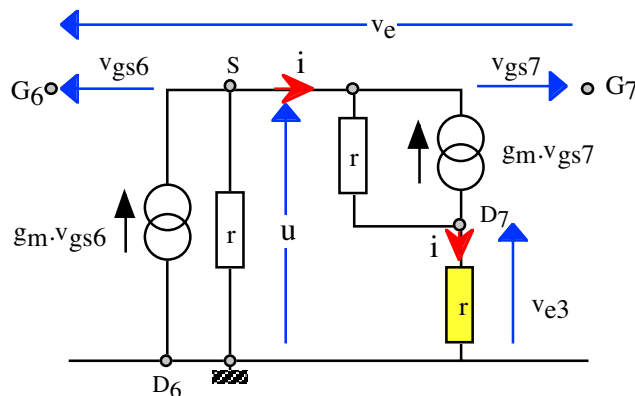
$$\text{Gain en tension du 2}^\circ \text{ étage : } A_2 = \frac{v_{s3}}{v_{gs3}} = -g_{m3}(r_{ds3} // r_{d3})$$

$$\text{Expression de la transconductance : } g_{m3} = \left(\frac{\partial I_D}{\partial V_{GS}} \right)_{V_{DS} \text{ cte}} = 2\sqrt{k I_D} = 0,3 \text{ mS}$$

$$A_2 = -50,5$$

3° PARTIE : ETUDE DE L'ETAGE D'ENTRÉE

- 3.1) Tension de polarisation V_{G8M} qui polarise T_8 (MOS canal N de type T_B) : Le courant de drain est de 0,3 mA, La tension V_{GS8} est donc de 4V, soit : $V_{G8M} = -16 \text{ V}$.
- 3.2) Schéma aux variations du premier étage. Le MOS T_8 est remplacé par $r = r_{ds8}$ étant donné que sa grille est à un potentiel fixe (voir Q 2.4). On a banalisé la transconductance g_m étant donné que les MOS sont complémentaires avec le même courant de repos.



Calcul du gain en tension.

$$\text{Nœud } D_7 : -\frac{v_{e3}}{r} - g_m v_{gs7} + \frac{u - v_{e3}}{r} = 0$$

$$\text{Avec : } u = r(g_m v_{gs6} - \frac{v_{e3}}{r}) \text{ sachant que : } i = \frac{v_{e3}}{r}$$

En reportant l'expression de la tension u , il vient :

$$g_m (v_{gs6} - v_{gs7}) = \frac{3}{r} v_{e3} \quad \boxed{A_1 = \frac{v_{e3}}{v_e} = g_m \frac{r}{3} = 31}$$

$$\text{Gain en tension du montage complet : } \frac{v_s}{v_e} = -1053$$